

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020046696 A  
 (43) Date of publication of application: 21.06.2002

(21) Application number: 1020000077005

(71) Applicant:

LG.PHILIPS LCD CO., LTD.

(22) Date of filing: 15.12.2000

(72) Inventor:

JANG, YUN GYEONG  
KIM, UNG GWON

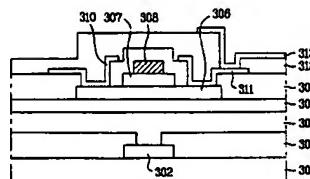
(51) Int. Cl

G02F 1/136

## (54) ARRAY SUBSTRATE OF LIQUID CRYSTAL DISPLAY AND METHOD OF FABRICATING THE SAME

## (57) Abstract:

PURPOSE: An array substrate of a liquid crystal display and a method of fabricating the array substrate are provided to produce a large-sized liquid crystal display with high aperture ratio and high resolution by using a polysilicon layer for a TOC structure. CONSTITUTION: Black matrix layers(302) are formed at a specific interval on an insulating substrate(301). A color filter(303) is formed between neighboring black matrix layers. An overcoat layer (304) is formed on the overall surface of the insulating substrate including the color filter. A polysilicon layer(306) is formed on the overcoat layer. A gate electrode(308) is formed on the polysilicon layer. The first passivation layer(309) is formed on the overall surface of the substrate including the gate electrode. Source and drain electrodes(310,311) are formed on the first passivation layer to be connected to with the polysilicon layer through the first contact hole formed in the first passivation layer. The second passivation layer(312) is formed on the overall surface of the substrate including the source and drain electrodes. A pixel electrode(313) is formed on the second passivation layer to be electrically connected with the drain electrode through the second contact hole formed in the second passivation layer.



copyright KIPO 2003

## Legal Status

Date of request for an examination (20051215)

Notification date of refusal decision (00000000)

Final disposal of an application (application)

Date of final disposal of an application (00000000)

Patent registration number ( )

Date of registration (00000000)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl. <sup>7</sup> G02F 1/136	(11) 공개번호 특2002-0046696 (43) 공개일자 2002년06월21일
(21) 출원번호 10-2000-0077005	
(22) 출원일자 2000년12월15일	
(71) 출원인 엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지	
(72) 발명자 장윤경 경기도군포시산본동금강아파트914-405 김웅권 경기도군포시산본동1145세종아파트640동1204호	
(74) 대리인 김용인, 심창섭	
<u>심사청구 : 없음</u>	
<u>(54) 액정표시장치용 어레이기판 및 그 제조방법</u>	

**요약**

본 발명은 칼라필터층 상에 박막트랜지스터를 형성시키는 이른바 TOC(TFT On Color filter)구조에 다결정 실리콘층을 반도체층으로 이용함으로써 고개구름, 고해상도 및 대면적화에 적당한 액정표시장치 및 그 제조방법을 제공하기 위한 것이다.

**대표도****도3****색인어**

고해상도, 저온 폴리 실리콘, TOC

**형세서****도면의 간단한 설명**

- 도 1은 제 1 종래기술에 따른 액정표시장치의 구조단면도.
- 도 2는 제 2 종래기술에 따른 액정표시장치의 구조단면도.
- 도 3은 본 발명에 따른 액정표시장치의 구조단면도.
- 도 4a 내지 4d는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도.

**도면의 주요 부분에 대한 부호의 설명**

301 : 절연기판	302 : 블랙매트릭스층
303 : 칼라필터층	304 : 평탄화막
305 : 버퍼층	306 : 다결정 실리콘층
307 : 게이트절연막	308 : 게이트 전극
310 : 제 1 보호막	311, 312 : 소스/드레인전극
313 : 제 2 보호막	314 : 화소전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스플레이 장치에 관한 것으로 특히, 액정표시장치 및 그 제조방법에 관한 것이다.

박막트랜지스터 액정표시장치(TFT-LCD)가 고밀도, 대면적화되고 디스플레이 부분과 구동회로 부분을 동일 기판 위에 제작하기 위해서 TFT 이동도의 증가가 절실히 요구되고 있지만 비정질 실리콘 박막트랜지스터(a-Si:H TFT)로는 이점을 만족하기가 어렵다. 최근에 이런 문제점을 효과적으로 해결할 수 있는 방법으로 다결정 실리콘 박막트랜지스터(Poly-Si TFT)가 많은 주목을 받고 있다. 다결정 실리콘 TFT는 이동도가 크기 때문에 유리기판 위에 주변회로를 접착할 수 있는 장점이 있어서 생산비용 절감 측면에서도 많은 관심을 끌고 있다.

다결정 실리콘 TFT는 비정질 실리콘 TFT보다 이동도가 높아 고해상도 패널의 스위칭 소자로 유리하고, 비정질 실리콘 TFT에 비하여 광전류가 적어 빛이 많이 뜨이는 프로젝션 패널에 적합하다. 패널이 작고 해상도가 높은 것은 주로 고온공정으로 만들고, 저온공정은 패널이 큰 것에 주로 적용하는데 구동 IC를 내장하여 재료비를 줄이는 것이 주 목표이다.

한편, 저온 다결정 실리콘 형성 방법은 고상결정화, 레이저결정화, 직접증착법, 금속열처리법 등이 있으나 450°C이하의 저온공정이 가능하기 때문에 저가의 유리기판을 사용할 수 있으며, 대면적 결정화에 가장 근접한 기술인 레이저결정화법이 가장 주목을 받고 있다.

이하, 도면을 참조하여 종래기술에 따른 액정표시장치를 상세히 설명한다.

도 1은 종래기술에 따른 액정표시장치의 구조단면도이다.

도 1에 도시된 바와 같이, 유리기판과 같은 절연기판(101) 상에 유리기판의 불순을 영향을 줄이기 위한 버퍼층(Buffer layer)(102)이 형성되어 있으며, 상기 버퍼층(102) 상에 다결정 실리콘 재질의 반도체층(103)이 패터닝되어 있다. 상기 반도체층(103) 상에 게이트 절연막(104)이 패터닝되어 있으며, 상기 게이트 절연막(104) 상에는 게이트 전극(105)이 형성되어 있다. 상기 게이트전극(105)을 포함한 기판 전면 위에는 절연성의 제 1 보호막(106)이 형성되어 있다. 상기 제 1 보호막(106) 상에 상기 반도체층(103)과 전기적으로 연결되는 소스/드레인전극(107, 108)이 제 1 콘택트을 통해 형성되어 있다. 상기 소스/드레인전극(107, 108)을 포함한 기판 전면 위로 제 2 보호막(109)이 형성되어 있으며, 상기 제 2 보호막(109) 상에는 액정에 전압을 인가하는 화소전극(110)이 제 2 콘택트을 통해 드레인전극(108)과 연결되도록 형성되어 있다.

도 2는 종래 다른 실시예에 따른 액정표시장치의 구조단면도이다.

도 2에 도시된 바와 같이, 절연기판(201)상에 일정 간격으로 블랙매트릭스(202)가 형성되어 있고, 상기 블랙매트릭스(202) 사이의 공간에 색표현을 구현하기 위한 R, G, B의 칼라필터층(203)이 형성되어 있으며, 상기 칼라필터층(203)을 포함한 기판 전면 위로 평탄화막(204)이 형성되어 있다. 또, 상기 평탄화막(204) 상에는 게이트전극(205)이 형성되어 있다. 상기 게이트전극(205)을 포함한 기판 전면 위로 게이트절연막(206)이 적층되어 있으며, 상기 게이트절연막(206) 상에는 비정질 실리콘 재질의 반도체층(207)이 형성되어 있다. 상기 비정질 실리콘 재질의 반도체층(207) 상에는 도전성의 소스/드레인전극(208, 209)이 패터닝되어 있으며 소스/드레인전극(208, 209)을 포함한 기판 전면 위로 보호막(210)이 형성되어 있다. 상기 보호막(210) 상에 액정에 전압을 인가하는 화소전극(211)이 콘택트을 통해 드레인전극과 연결되도록 형성되어 있다.

#### 발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래 액정표시장치 제조방법은 다음과 같은 문제점이 있었다.

도 1에 도시된 구조의 액정표시장치는, 상하판 합착시 합착불균일에 따른 해상도 저하의 단점이 있고, 도 2에 도시된 구조의 액정표시장치는, 비정질 실리콘을 반도체층으로 사용함으로 인해 이동도가 낮아 고속동작회로에 적용할 수 없으며, 기판에 구동 IC를 장착할 수 없어 대면적화에 장애가 되는 문제점이 있었다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 칼라필터층 상에 박막트랜지스터를 형성하는 이를바 TOC(TFT On Color filter)구조에 다결정 실리콘을 반도체층으로 사용함으로써 고해상도, 대면적화 및 고개구울을 실현할 수 있는 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 액정표시장치는 절연기판 상에 일정한 간격을 두고 형성되어 있는 블랙매트릭스층과, 상기 블랙매트릭스층 사이의 공간에 형성되어 있는 칼라필터층과, 상기 칼라필터층을 포함한 기판 전면 위로 형성되어 있는 평탄화막과, 상기 평탄화막 상에 형성되어 있는 버퍼층과, 상기 버퍼층상에 패터닝되어 있는 다결정 실리콘층과, 상기 다결정 실리콘층상에 형성되어 있는 게이트전극과, 상기 게이트전극을 포함한 기판 전면위로 형성되어 있는 제 1 보호막과, 상기 제 1 보호막 상에 제 1 콘택트을 통해 반도체층과 연결되도록 형성되어 있는 소스/드레인전극과, 상기 소스/드레인전극을 포함한 기판 전면 위로 형성되어 있는 제 2 보호막과, 상기 제 2 보호막 상에 제 2 콘택트을 통해 드레인전극과 전기적으로 연결되어 있는 화소전극을 포함하여 이루어지며, 그 제조방법은 절연기판 상에 일정간격으로 블랙매트릭스층을 형성하는 공정과, 상기 블랙매트릭스층 사이의 공간에 칼라필터층을 형성하는

는 공정과, 상기 칼라필터층을 포함한 기판 전면위로 평탄화막을 형성하는 공정과, 상기 평탄화막 상에 다결정 실리콘층을 형성하는 공정과, 상기 다결정 실리콘층상에 게이트전극을 형성하는 공정과, 상기 게이트전극을 포함한 기판 전면위로 제1보호막을 형성하는 공정과, 상기 제1보호막 상에 제1콘택을 통해 반도체층과 연결되도록 소스/드레인전극을 형성하는 공정과, 상기 소스/드레인전극을 포함한 기판 전면 위로 제2보호막을 형성하는 공정과, 상기 제2보호막 상에 제2콘택을 통해 드레인전극과 전기적으로 연결되도록 화소전극을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 한다.

한편, 상기 기판과 대향되는 기판에는 상기 기판에 형성되어 있는 박막트랜지스터로의 빛의 투과를 막기 위한 블랙매트릭스층이 형성되어 있다.

이하, 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 제조방법을 상세히 설명한다.

### 도 3은 본 발명에 따른 액정표시장치의 구조단면도이다.

도 3에 도시된 바와 같이, 절연기판(301)상에 일정 간격으로 블랙매트릭스(302)가 형성되어 있고, 상기 블랙매트릭스층(302) 사이의 공간에 색표현을 구현하기 위한 R, G, B의 칼라필터층(303)이 형성되어 있으며, 상기 칼라필터층(303)을 포함한 기판 전면 위로 평탄화막(304)이 형성되어 있다. 또, 상기 평탄화막(304) 상에는 유리기판의 불순물을 영향을 줄이기 위한 버퍼층(Buffer layer)(305)이 형성되어 있으며, 상기 버퍼층(305) 상에 다결정 실리콘 재질의 반도체층(306)이 패터닝되어 있다. 상기 반도체층(306) 상에 게이트 절연막(307)이 패터닝되어 있으며, 상기 게이트 절연막(307) 상에는 게이트 전극(308)이 형성되어 있다. 상기 게이트전극(308)을 포함한 기판 전면 위에는 절연성의 제1보호막(309)이 형성되어 있다. 상기 제1보호막(309) 상에 상기 반도체층과 전기적으로 연결되는 소스/드레인전극(310, 311)이 제1콘택을 통해 형성되어 있다. 상기 소스/드레인전극(310, 311)을 포함한 기판 전면 위로 제2보호막(312)이 형성되어 있으며, 상기 제2보호막(312) 상에는 액정에 전압을 인가하는 화소전극(313)이 제2콘택을 통해 드레인전극(311)과 연결되도록 형성되어 있다.

여기서, 상기 버퍼층의 재료는 실리콘 산화물, 실리콘 질화물을 포함한 실리콘 화합물이며, 상기 평탄화막의 재료는 BCB(Benzocyclobutene), HSQ, SSQ, MSSQ, POSS, F<sub>0</sub>x 등과 같은 스핀 코팅 후 큐어(Cure) 등에 의하여 물성이 단단해지는 모든 유기화합물이 가능하다.

도 4a 내지 도 4d는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도이다.

도 4a에 도시된 바와 같이, 절연기판(301) 상에 일정 간격으로 블랙매트릭스층(302)을 형성시키고, 상기 블랙매트릭스층(302) 사이의 공간에 색표현을 구현하기 위한 칼라필터층(303)을 형성시킨다. 이후, 상기 칼라필터층(303)을 포함한 기판 전면 위로 평탄화막(304)을 스핀 코팅(Spin Coating)을 이용해 도포한다. 상기 평탄화막의 재료는 BCB(Benzocyclobutene), HSQ, SSQ, MSSQ, POSS, F<sub>0</sub>x 등과 같은 스핀 코팅 후 큐어(Cure) 등에 의하여 물성이 단단해지는 모든 유기화합물이 가능하다.

이어, 도 4b에 도시된 바와 같이, 상기 평탄화막(304) 상에 유리기판의 불순물을 영향을 줄이기 위해 실리콘 산화물 또는 실리콘 질화물과 같은 실리콘 화합물을 적층시켜 버퍼층(Buffer layer)(305)을 형성시킨다. 이후, 상기 버퍼층(305)상에 실리콘 또는 비정질 실리콘 물질을 화학기상증착법을 이용하여 증착한 다음, 레이저(Laser)를 조사하여 다결정질 실리콘(306a)으로 만든다.

도 4c에 도시된 바와 같이, 상기 다결정 실리콘층(306a)을 패터닝하여 반도체층(306)을 형성한 후, 상기 반도체층(306)상에 게이트 절연막 물질과 게이트 전극 물질을 화학기상증착법과 스퍼터링법을 이용하여 차례로 증착한 후, 패터닝하여 게이트 절연막(307)과 게이트전극(308)을 형성시킨다.

도 4d에 도시된 바와 같이, 상기 게이트전극(308)을 포함한 기판 전면 위로 절연성의 제1보호막(309)을 형성한 다음, 상기 제1보호막(309) 상에 상기 반도체층(306)과 전기적으로 연결되는 소스/드레인전극(310, 311)이 제1콘택을 통해 형성된다. 이후, 상기 소스/드레인전극(310, 311)을 포함한 기판 전면 위로 제2보호막(312)을 형성하고, 상기 제2보호막 상에 액정에 전압을 인가하는 화소전극(313)을 제2콘택을 통해 드레인전극(311)과 연결되도록 형성시킨다.

이후, 도면에 도시하지 않았지만 상기 기판과 대향되는, 박막트랜지스터로의 빛의 투과를 막기 위한 블랙매트릭스가 형성되어 있는 기판과 합착, 액정 주입 후 봉지하면 본 발명에 따른 액정표시장치의 제조공정은 완료된다.

### 발명의 효과

이상 상술한 바와 같이, 본 발명의 액정표시장치 및 그 제조방법은 다음과 같은 효과가 있다.

하나의 기판상에 칼라필터층과 박막트랜지스터를 형성시킴으로써 상하판 합착불균일에 따른 토탈피치(Total pitch)의 문제점 해소 및 고개구울을 실현할 수 있으며, 다결정 실리콘을 반도체층으로 사용함으로써 고해상도, 대면적화의 효과를 거둘 수 있는 장점이 있다.

### (57) 청구의 범위

#### 청구항 1

절연기판 상에 일정한 간격을 두고 형성되어 있는 블랙매트릭스층:

상기 블랙매트릭스층 사이의 공간에 형성되어 있는 칼라필터층:

상기 칼라필터층을 포함한 기판 전면 위로 형성되어 있는 평탄화막;  
 상기 평탄화막 상에 형성되어 있는 버퍼층과, 상기 버퍼층상에 패터닝되어 있는 다결정 실리콘층;  
 상기 다결정 실리콘층상에 형성되어 있는 게이트전극;  
 상기 게이트전극을 포함한 기판 전면위로 형성되어 있는 제 1 보호막;  
 상기 제 1 보호막 상에 제 1 콘택트을 통해 다결정 실리콘층과 연결되도록 형성되어 있는 소스/드레인전극;  
 상기 소스/드레인전극을 포함한 기판 전면 위로 형성되어 있는 제 2 보호막;  
 상기 제 2 보호막 상에 제 2 콘택트을 통해 드레인전극과 전기적으로 연결되어 있는 화소전극을 포함하여 이루어지는 것을 특징으로 하는 액정표시장치용 어레이기판.

#### 청구항 2

제 1 항에 있어서, 상기 평탄화막의 재료는 BCB(Benzocyclobutene), HSQ, SSQ, MSSQ, POSS, F<sub>0x</sub> 중 하나인 것을 특징으로 하는 액정표시장치용 어레이기판.

#### 청구항 3

제 1 항에 있어서, 상기 버퍼층의 재료는 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiN<sub>x</sub>) 또는 실리콘 질소산화물(SiN<sub>x-y</sub>O<sub>y</sub>) 중 하나인 것을 특징으로 하는 액정표시장치용 어레이기판.

#### 청구항 4

절연기판 상에 일정 간격으로 블랙매트릭스층을 형성하는 공정과;  
 상기 블랙매트릭스층 사이의 공간에 칼라필터층을 형성하는 공정과;  
 상기 칼라필터층을 포함한 기판 전면위로 평탄화막을 형성하는 공정과;  
 상기 평탄화막 상에 다결정 실리콘층을 형성하는 공정과;  
 상기 게이트전극을 포함한 기판 전면위로 제 1 보호막을 형성하는 공정과;  
 상기 제 1 보호막 상에 제 1 콘택트을 통해 다결정 실리콘층과 연결되도록 소스/드레인전극을 형성하는 공정과;  
 상기 소스/드레인전극을 포함한 기판 전면 위로 제 2 보호막을 형성하는 공정과;  
 상기 제 2 보호막 상에 제 2 콘택트을 통해 드레인전극과 전기적으로 연결되도록 화소전극을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

#### 청구항 5

제 4 항에 있어서, 상기 평탄화막의 재료는 BCB(Benzocyclobutene), HSQ, SSQ, MSSQ, POSS, F<sub>0x</sub> 중 하나인 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

#### 청구항 6

제 4 항에 있어서, 상기 버퍼층의 재료는 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiN<sub>x</sub>) 또는 실리콘 질소산화물(SiN<sub>x-y</sub>O<sub>y</sub>) 중 하나인 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

#### 청구항 7

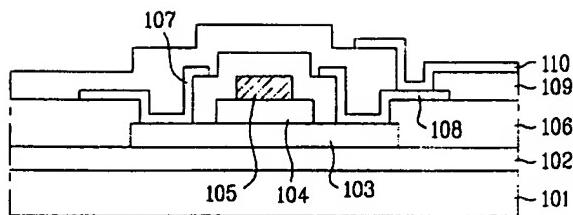
제 4 항에 있어서, 상기 다결정 실리콘층을 형성하는 공정은,  
 상기 버퍼층 상에 비정질 실리콘층을 형성하는 공정과,  
 상기 비정질 실리콘층을 결정화하여 다결정 실리콘층으로 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

#### 청구항 8

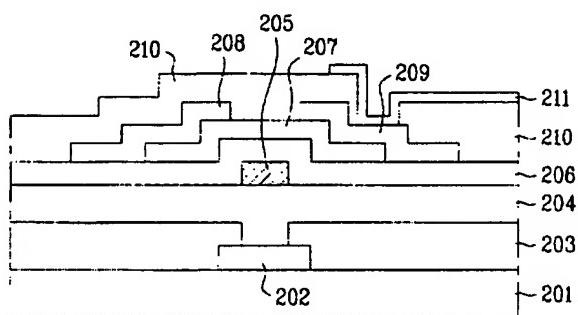
제 7 항에 있어서, 상기 비정질 실리콘층의 결정화는 레이저(Laser) 조사를 통해 이루어지는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

도면

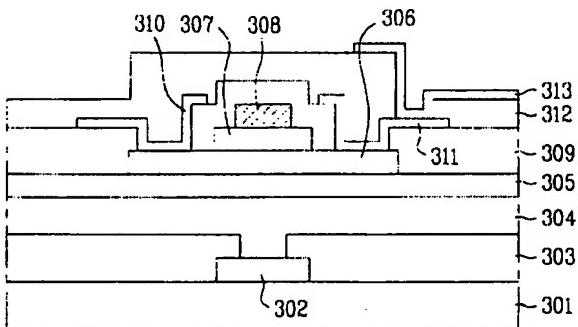
도면1



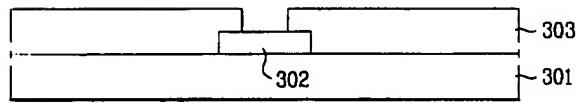
도면2



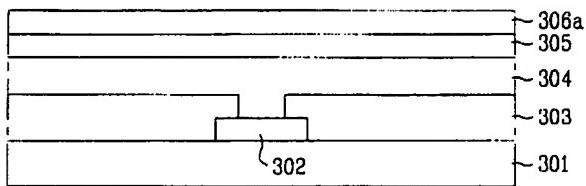
도면3



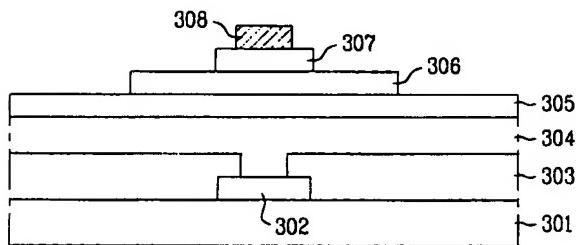
도면4a



도면4b



도면4c



도면4d

